

PAT-NO: JP408023166A
DOCUMENT-IDENTIFIER: JP 08023166 A
TITLE: MANUFACTURE OF MULTI-LAYER WIRING SUBSTRATE
PUBN-DATE: January 23, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
ANDO, SETSUO	
INOUE, TAKASHI	
YAMAZAKI, TETSUYA	
TENMYO, HIROYUKI	
FUKUSHIMA, MAKOTO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD N A	

APPL-NO: JP06154415

APPL-DATE: July 6, 1994

INT-CL H05K003 46 , H05K003 08 , H05K003 18 , H05K003 24 , H05K003 28 , H05K003 42 , C23C018 36 ,
(IPC): C23C022 24 , C23C028 00 , C25D003 06 , C25D003/12 , C25D003/12

ABSTRACT:

PURPOSE: To eliminate factors causing deterioration of a bonding between copper and polyimide by forming selectively a protective film on a via stud or wiring or both subjected to patterning.

CONSTITUTION: A laminate film 12 to serve as an undercoat for a load dispatching layer when electroplating a substrate 11 is formed by continuous vacuum evaporation. Further, a dielectric film 13 which will become an organic resin is made. Next, the dielectric film is patterned with minute holes and grooves. This is followed by electrolytic copper plating to fill a via hole 14. After ashering O2, because of a fast plasma etching rate of a resist in the vicinity of a via stud, a via surface part is exposed. Next, after a series of treatment prior to plating are performed, electroless chrome plating is performed to form a protective film 16. Also, as the protective film 16, electroless or electrolytic cobalt plating is effective. Next, after the resist is peeled, an organic resin film 17 is applied and polishing is conducted to provided a heading of the via stud. This enables the via stud and an insulating layer to be in good adhesion.

COPYRIGHT: (C)1996,JPO



(19)

(11) Publication number:

0

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06154415

(51) Int'l. Cl.: H05K 3/46 H05K 3/08 H05
3/24 H05K 3/28 H05K 3/42

(22) Application date: 06.07.94

(30) Priority:

(43) Date of application
publication: 23.01.96

(84) Designated contracting
states:

(71) Applicant: HITACHI LTD

(72) Inventor: ANDO SETSUO
INOUE TAKASHI
YAMAZAKI TETSUY
TENMYO HIROYUKI
FUKUSHIMA MAKOT

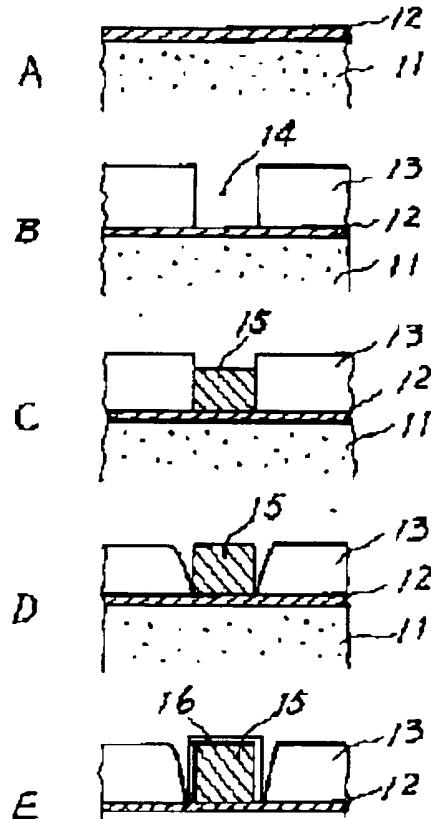
(74) Representative:

(54) MANUFACTURE OF MULTI-LAYER WIRING SUBSTRATE

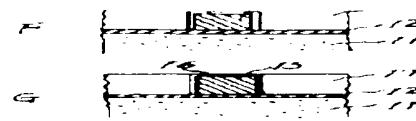
(57) Abstract:

PURPOSE: To eliminate factors causing deterioration of a bonding between copper and polyimide by forming selectively a protective film on a via stud or wiring or both subjected to patterning.

CONSTITUTION: A laminate film 12 to serve as an undercoat for a load dispatching layer when electroplating a substrate 11 is formed by continuous vacuum evaporation. Further, a dielectric film 13 which will become an organic resin is made. Next, the dielectric film is patterned with minute holes and grooves. This is followed by electrolytic copper plating to fill a via hole 14. After ashing O₂, because of a fast plasma etching rate of a resist in the vicinity of a via stud, a via surface part is exposed. Next, after a



plating is performed to form a protective film 16. Also, as the protective film 16, electroless or electrolytic cobalt plating is effective. Next, after the resist is peeled, an organic resin film 17 is applied and polishing is conducted to provide a heading of the via stud. This enables the via stud and an insulating layer to be in good adhesion.



COPYRIGHT: (C)1996.JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-23166

(43)公開日 平成8年(1996)1月23日

(51)Int.Cl.

H05K 3/46

識別記号

序内整理番号

F I

技術表示箇所

3/08

E 6921-4E

N 6921-4E

3/18

A

3/24

E 7511-4E

3/24

A 7511-4E

審査請求 未請求 請求項の数 6 O.L. (全 6 頁) 最終頁に続く

(21)出願番号

特願平6-154415

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 安藤 節夫

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 井上 隆史

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 山崎 哲也

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

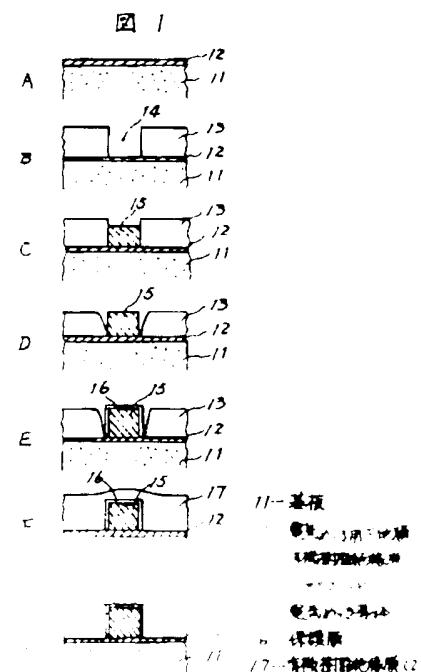
(54)【発明の名称】 多層配線基板の製造方法

(57)【要約】

【目的】本発明は、薄膜多層配線基板を製造する技術関し、その目的は、密着力低下に伴うクラックの発生を防止した製造方法を提供することにある。

【構成】バターン化された穴、溝あるいはその両方をもつ導体表面に金属膜を形成した後、プラズマエッチング法により導体表面のみを露出させ、保護膜を形成する。その際プラズマエッチング法として、O₂アッシャーを用いる。

【効果】密着力の低下要因となる導体層と絶縁層との反応が防止でき、クラック発生防止に効果がある。



【特許請求の範囲】

【請求項1】基板上に導体層と絶縁層とを交互に積層して多層配線基板の導体配線を形成する多層配線基板の製造方法において、バターニングされたピアスタッド、配線あるいはその両方に対して選択的に保護膜を形成する工程を含むことを特徴とする多層配線基板の製造方法。

【請求項2】前記保護膜がピアスタッド、配線あるいはその両方と絶縁体との反応を阻止し、導体と絶縁体との高信頼の接続を得ることを特徴とする請求項1記載の多層配線基板の製造方法。

【請求項3】前記ピアスタッド、配線あるいはその両方に対して絶縁層を剥離する前に保護膜を形成する工程を含むことを特徴とする請求項1または請求項2記載の多層配線基板の製造方法。

【請求項4】前記ピアスタッドあるいは配線に保護膜を形成するために、保護膜形成面の絶縁体のみを選択的に除去する方法として、O₂アッシュ等を用いることを特徴とする請求項1または請求項2記載の多層配線基板の製造方法。

【請求項5】前記ピアスタッドおよび配線が銅で形成され、かつ電気銅めっきあるいは無電解銅めっきをおこなって前記ピアスタッドおよび配線を形成する工程からなることを特徴とする請求項1または請求項2記載の多層配線基板の製造方法。

【請求項6】前記ピアスタッドあるいは配線の保護膜を形成する工程において、該保護膜がクロム、ニッケル、コバルトのうち少なくとも一種以上で形成され、かつ該保護膜が電気めっき法、無電解めっき法あるいはクロムート処理法の少なくとも一方法で形成することを特徴とする請求項1または請求項2記載の多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高集積LSI等を実装する多層配線基板およびその製造方法に関する。

【0002】

【従来の技術】配線基板あるいはLSIの配線におけるスルーホールの接続は、一般にはポリイミド等の絶縁層にあけられたスルーホールにめっき、スパッタリング及びCVD等を用いて金属を析出させることにより行われている。例えばフォトレジストを用いた選択めっき法により、配線とピアスタッドを形成した後再び絶縁層を形成し、平面研磨により絶縁層の凸凹の平坦化とピアスタッドの頭出しを行なう方法が、特開平3-60188号公報に述べられている。

【0003】

この方法によると、この段階で形成される保護膜が成るべく多く剥離されてしまう。この原因は、保護膜はポリイミドと銅との間に密着性が弱まっていることによるものである。

密着性を低下させるため、上記平面研磨の際のクラック発生原因と考えられている。

【0004】そこで本発明では、ピアスタッド表面に保護層を形成し、銅とポリイミドとの密着力低下要因を除去することで高信頼の接続を提供することを目的とする。

【0005】

【課題を解決するための手段】前記の目的は、フォトレジスト等の絶縁層にあけられたピアスタッドに、電気銅めっき或いは無電解銅めっき等で金属を析出させた後、O₂アッシュ等のプラズマエッチングを行うと、プラズマに面する導体が発熱し、その結果導体周辺のレジストのみが加速度的にエッチングされることを見出した。そこでレジスト剥離前に、ピアスタッド等の導体表面のみを選択的に露出させ、絶縁体と反応しない導体で保護膜を形成することで、密着性低下により発生するクラックを防止できる。

【0006】また保護膜としてポリイミド等の有機樹脂と反応しないクロム、ニッケル或いはコバルト等の金属を被覆することで達成される。

【0007】

【作用】導体層と有機樹脂等の絶縁層からなる薄膜多層基板に、O₂アッシュ等のプラズマエッチングを施すと、プラズマに接した導体面が発熱し、導体周辺の絶縁層も加熱するためにエッチング速度が著しく加速される。この現象を利用しピアスタッド等の導体表面をレジスト剥離前に選択的にエッチングすることで露出させ、めっき等の手段により保護膜を形成することで、導体層と絶縁層との密着性を高め、平面研磨時に発生するクラックを防止することができた。

【0008】

【実施例】本実施例を図1A～Gを用いて説明する。

【0009】まずセラミック基板、ガラス基板或いは有機樹脂基板1-1上に電気めっきの際の給電層に用いる下地層となるCr/Cu/Crの積層膜1-2を連続蒸着により形成した(図1A)。さらに有機樹脂から成る誘電体膜1-3を成膜した。誘電体膜としてはフォトレジストを用いた。次に該誘電体膜にホトリツ工程による微細穴や溝のパターン加工を施した。有機樹脂膜の加工後の断面状態が図1Bである。連続蒸着法としては、EB蒸着やスパッタリングが可能であるが、密着力の観点からスパッタリングが好ましい。特に面内に存在する無数のピア全てのコンタクト抵抗を確実に低減し、コンタクト不良を皆無とするためには、ピア穴底のクリーニングは必須である。また密着層であるCrの膜厚は300～

1,000nm程度が望ましい。密着層に用いるEB蒸着

の露光条件は、露光量：10mJ/cm²、露光時間：10秒

実験

露光条件：露光量：10mJ/cm²、露光時間：10秒
露光条件：露光量：10mJ/cm²、露光時間：10秒

3

つき液等が使用可能である。また該ビア充填には電気めっき法の他に、無電解めっき法でも差し支えない。但しめっき液のpHがアルカリ性であるほど、レジストがめっき液中に溶解しめっき液分解を引き起こす要因になるので、注意を要する。図1Dは○:アッシャ後基板断面図である。ビアスタッド周辺のみのレジストのプラズマエッチング速度が速いため、ビア表面部が露出する。

【0011】次に脱脂及び酸洗净等の一連のめっき前処理を行なった後、図1Eに示すように無電解クロムめっきを施し保護膜を形成した。電気クロムめっきを用いても差し支えない。また保護膜として無電解コバルトめっき或いは電気コバルトめっきも有効である。さらにクロメート処理による保護膜形成も可能である。保護膜の膜厚は、1,000~10,000Å程度が望ましい。

【0012】図1Fはレジスト剥離後、有機樹脂膜を塗布した断面図である。有機樹脂膜としては、ポリイミド、エポキシ樹脂、感光性ポリイミド或いは感光性エポキシ樹脂等が使用可能である。これらの有機樹脂膜の塗布は、遠心力を利用したスピナー装置等で塗布する。*

* 次にビアスタッドの頭出しを行なうために研磨を行なう。研磨方法には機械研磨、化学機械研磨、或いはエッティング等が使用可能である。研磨後平坦化した基板の断面図を図1Gに示す。この研磨工程後、本発明による保護膜形成プロセスを施した基板には、ビアスタッドと該有機樹脂の絶縁層との密着は良好で、クラックは発生していないかったが、保護膜形成を行なっていない基板には、ビアスタッド周辺の絶縁層にクラックが発生しており、密着不良であった。

【0013】以下本発明の図1Eに示した保護膜形成プロセス法において、実施例1~3には電気Crめっき法を用いた場合、実施例4には無電解Coめっき法を用いた場合、実施例5~7には無電解Niめっき法を用いた場合、実施例8および9には電気Niめっき法を用いた場合、さらに実施例10および11にはクロメート処理を行なった場合のそれぞれの液組成及び処理条件について表1~表5にまとめた。

【0014】

【表1】

表1 保護膜形成法(1) (電気Crめっき法; 実施例1~3)

組成及び作業条件	実施例		
	1	2	3
無水クロム酸	250g/l	80g/l	250g/l
硫酸	2.5g/l	0.8g/l	1.5g/l
ケイふっ化ナトリウム	—	0.8g/l	5g/l
浴温(℃)	45	55	60
電流密度(A/dm ²)	35	45	50

【0015】

※※【表2】

表2 保護膜形成法(2) (無電解Coめっき法; 実施例4)

組成及び作業条件	実施例
	4
硫酸コバルト	15g/l
次亜りん酸ナトリウム	21g/l
クエン酸ナトリウム	60g/l
ほう酸	30g/l
pH	7
浴温(℃)	90

【0016】

【表3】

表 3 保護膜形成法(3) (無電解Niめっき法; 実施例5~7)

組成及び作業条件	実施例		
	5	6	7
硫酸ニッケル	21g/l	26g/l	28g/l
酢酸ナトリウム	—	26g/l	—
乳酸	28g/l	—	—
プロピオン酸	2.3g/l	—	—
エチレンジアミン	—	—	90g/l
クエン酸アンモニウム	—	15g/l	—
次亜りん酸ナトリウム	21g/l	16g/l	11g/l
チオ尿素	—	3-5ppm	—
pH	4.5	5.0	6.0
浴温(℃)	90	90	60

【0017】

* * 【表4】

表 4 保護膜形成法(4) (電気Niめつき法; 実施例8~9)

組成及び作業条件	実施例	
	8	9
硫酸ニッケル	240g/l	—
塩化ニッケル	45g/l	10g/l
メラフミン酸ニッケル	—	400g/l
臭化ニッケル	—	30g/l
ほう酸	35g/l	30g/l
添加剤	適量	適量
pH	3.0	3.5
浴温(℃)	45	35
電流密度(A/dm ²)	4	3.5

【0018】

* * 【表5】

表 5 保護膜形成法(5) (クロメート処理法; 実施例10~11)

組成及び作業条件	実施例	
	10	11
りん酸(75%)	19g/l	—
酸化亜鉛	—	2.0g/l
無水クロム酸	14g/l	10g/l
ふつ酸(55%)	5.1g/l	—
硝酸クロム9水物	1.7g/l	—
硝酸コバルト6水物	1.8g/l	—
硫酸(98%)	—	1.5g/l

導体層表面に保護膜を形成する。この保護膜は透明、均一で、薄膜多層回路において、電位を抑制できるので、導体層と絶縁層との密着力の高い。

薄膜多層回路基板が実現された。

【0020】また保護膜形成にはO₂アッシャを用いるので、絶縁層剥離工程前に行なうことが可能である。このため保護膜形成時にピアスチッド表面或いは配線表面護膜が形成できた。

【図面の簡単な説明】

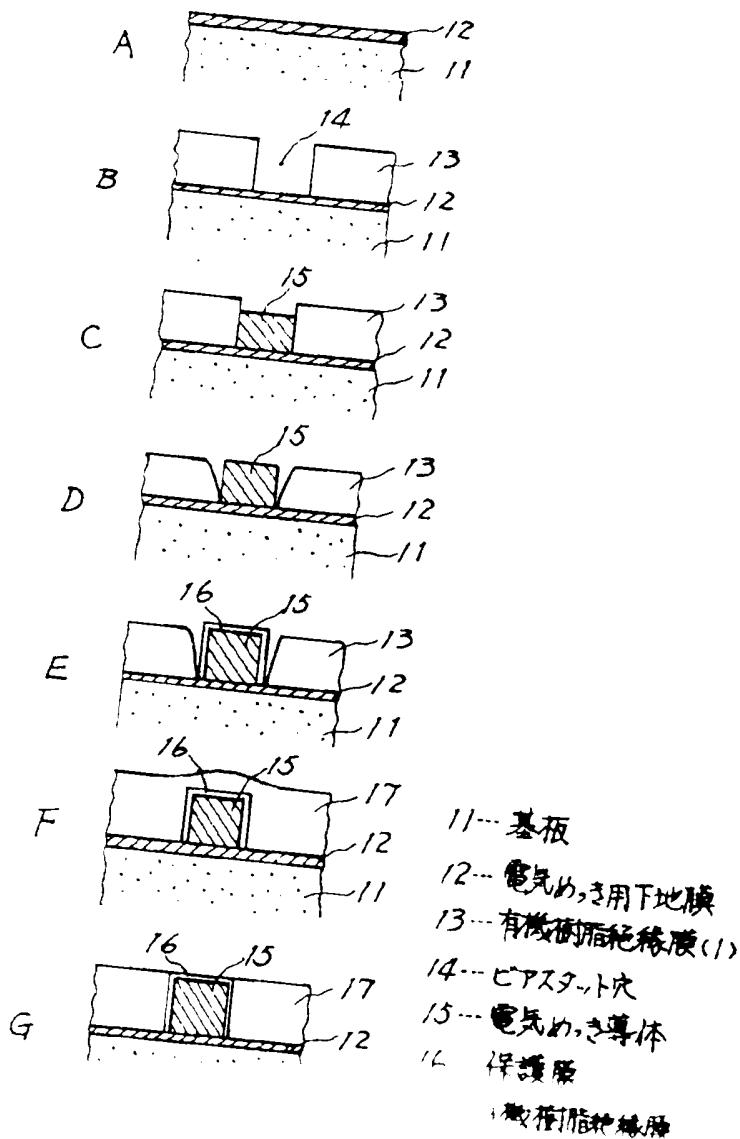
【図1】本発明の薄膜配線形成プロセスを示す図である。

【符号の説明】

- 11…基板、
- 12…電気めつき用下地膜、
- 13…有機樹脂絶縁膜(1)、
- 14…ピアスチッド穴、
- 15…電気めつき導体、
- 16…保護膜、
- 17…有機樹脂絶縁膜(2) [溝パターン形成後]。

【図1】

図 1



フロントページの続き

(51) Int.Cl. ⁵	識別記号	序内整理番号	F 1	技術表示箇所
H 05 K 3/28	B			
	3/42	A 7511-4E		
/ C 23 C 18.36				
	22.24			
	28.00	E		
C 25 D 3/06				
	3/12	101		
		102		

(72)発明者 天明 浩之
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 福島 誠
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内